



6 Schaltnetze und Schaltwerke

6.1 Schaltnetze

6.2 Schaltwerke



6.1 Schaltnetze

Schaltnetz

(kombinatorische Logik, kombinatorische Schaltung)

* Kombination von Verknüpfungsgliedern ohne Speicherglieder

* die Werte der Ausgangsvariablen werden eindeutig durch die Eingangsvariablen festgelegt

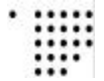
* Beispiele

3 Code-Wandler,

3 Multiplexer, Demultiplexer,

3 Addierer,

3



Code - Wandler

Aufbau eines Code-Wandlers, der den 8-4-2-1-Code in den Gray-Code überführt;

Zusatzbedingung:

Fehlermeldung bei Auftreten einer Pseudotetrade im 8-4-2-1-Code, der Wert der Ausgangsvariablen ist in diesem Fall beliebig.

Der Code-Wandler stellt ein *Multi-Output-Schaltnetz* dar - die Minimierung wird für jede Ausgangsvariable separat durchgeführt.



	8-4-2-1-Code				Gray-Code				Fehler
dez.	D1	D2	D3	D4	G1	G2	G3	G4	F
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	1	1	0
3	0	0	1	1	0	0	1	0	0
4	0	1	0	0	0	1	1	0	0
5	0	1	0	1	0	1	1	1	0
6	0	1	1	0	0	1	0	1	0
7	0	1	1	1	0	1	0	0	0
8	1	0	0	0	1	1	0	0	0
9	1	0	0	1	1	1	0	1	0
Ps	1	0	1	0	*	*	*	*	1
eu	1	0	1	1	*	*	*	*	1
do	1	1	0	0	*	*	*	*	1
te	1	1	0	1	*	*	*	*	1
tra	1	1	1	0	*	*	*	*	1
den	1	1	1	1	*	*	*	*	1

È

È

È

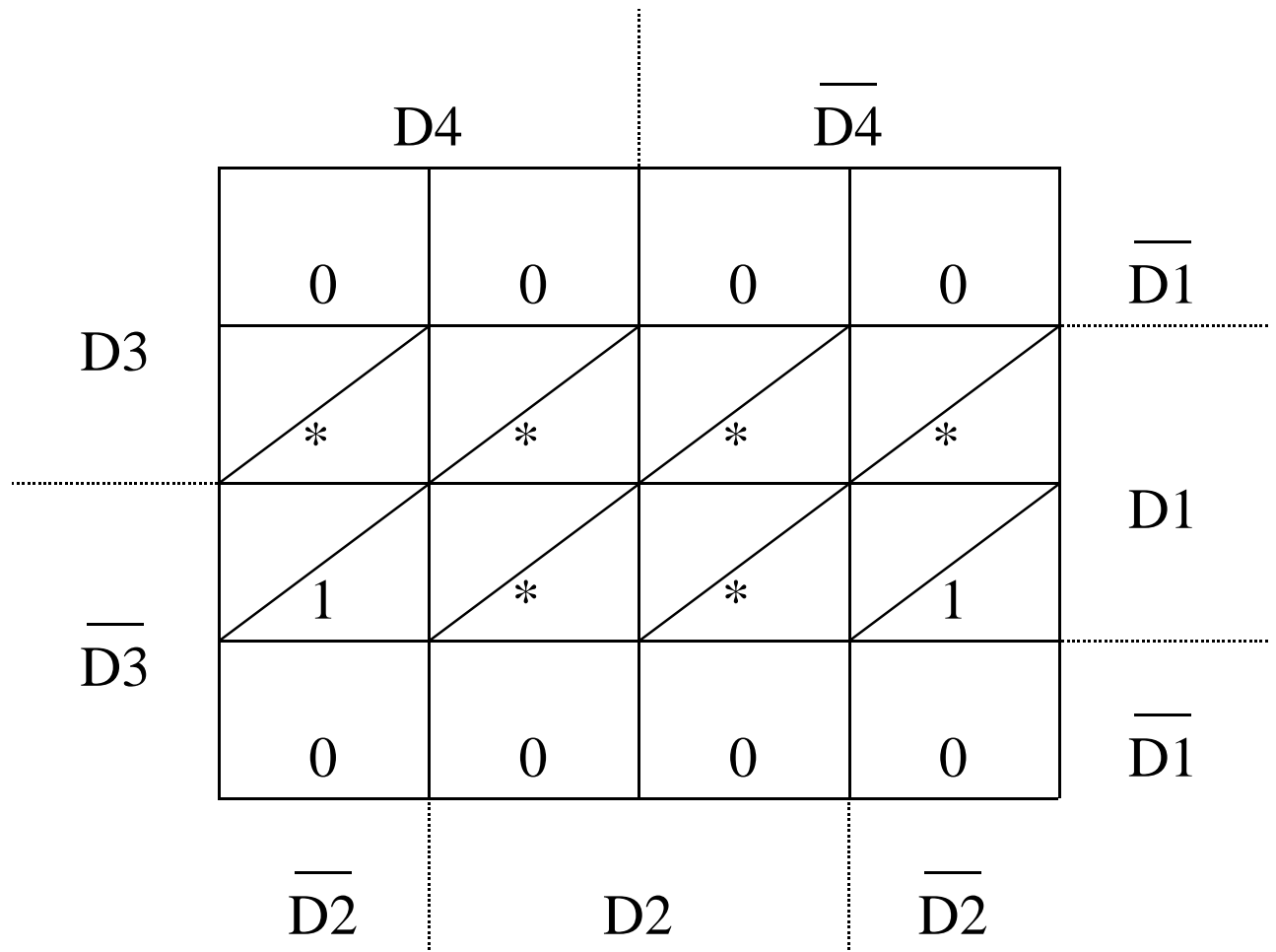
Eingangsvariablen

Ausgangsvariablen

Fehler-
ausgang



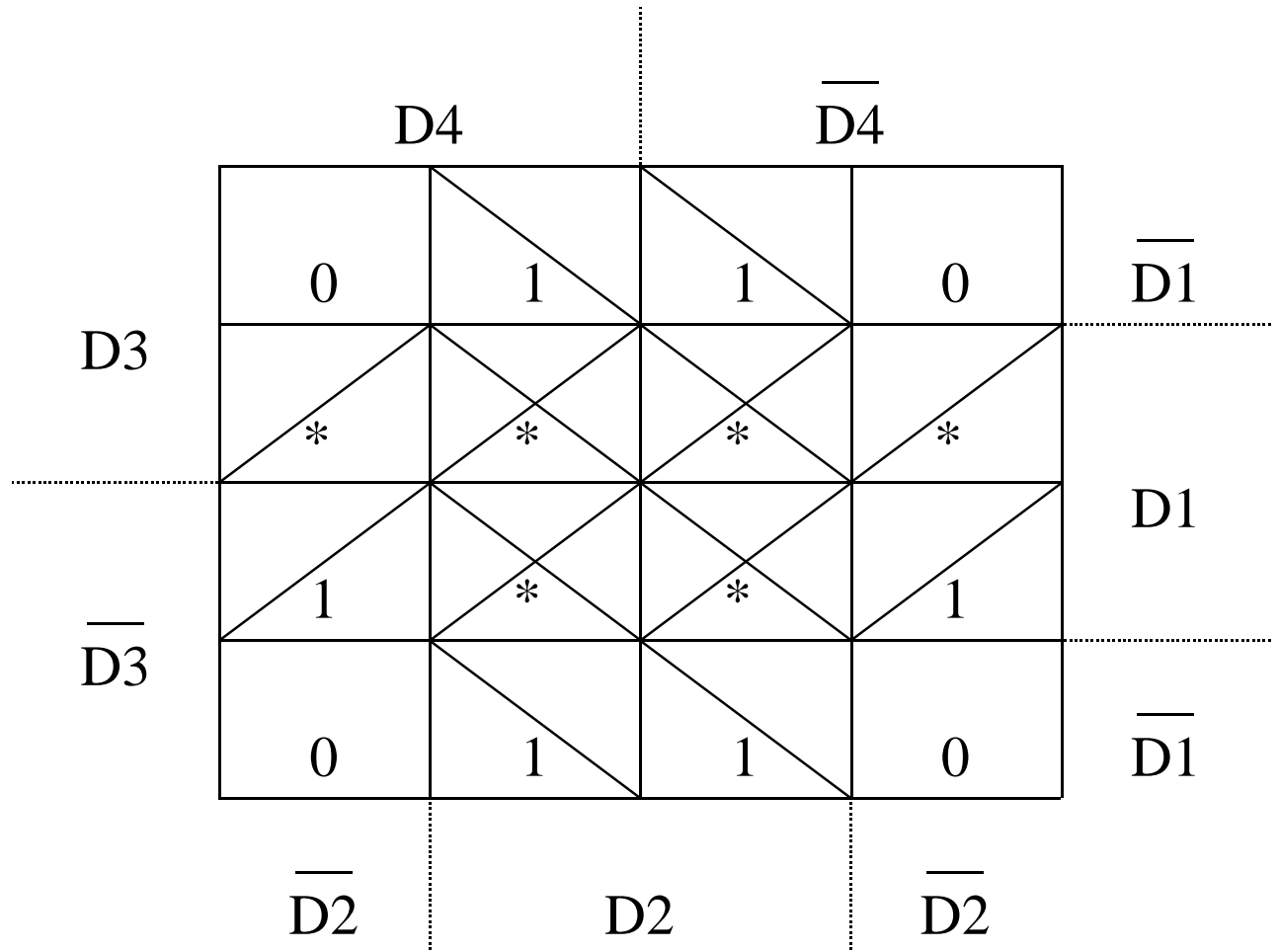
G1:



$G1 = D1$



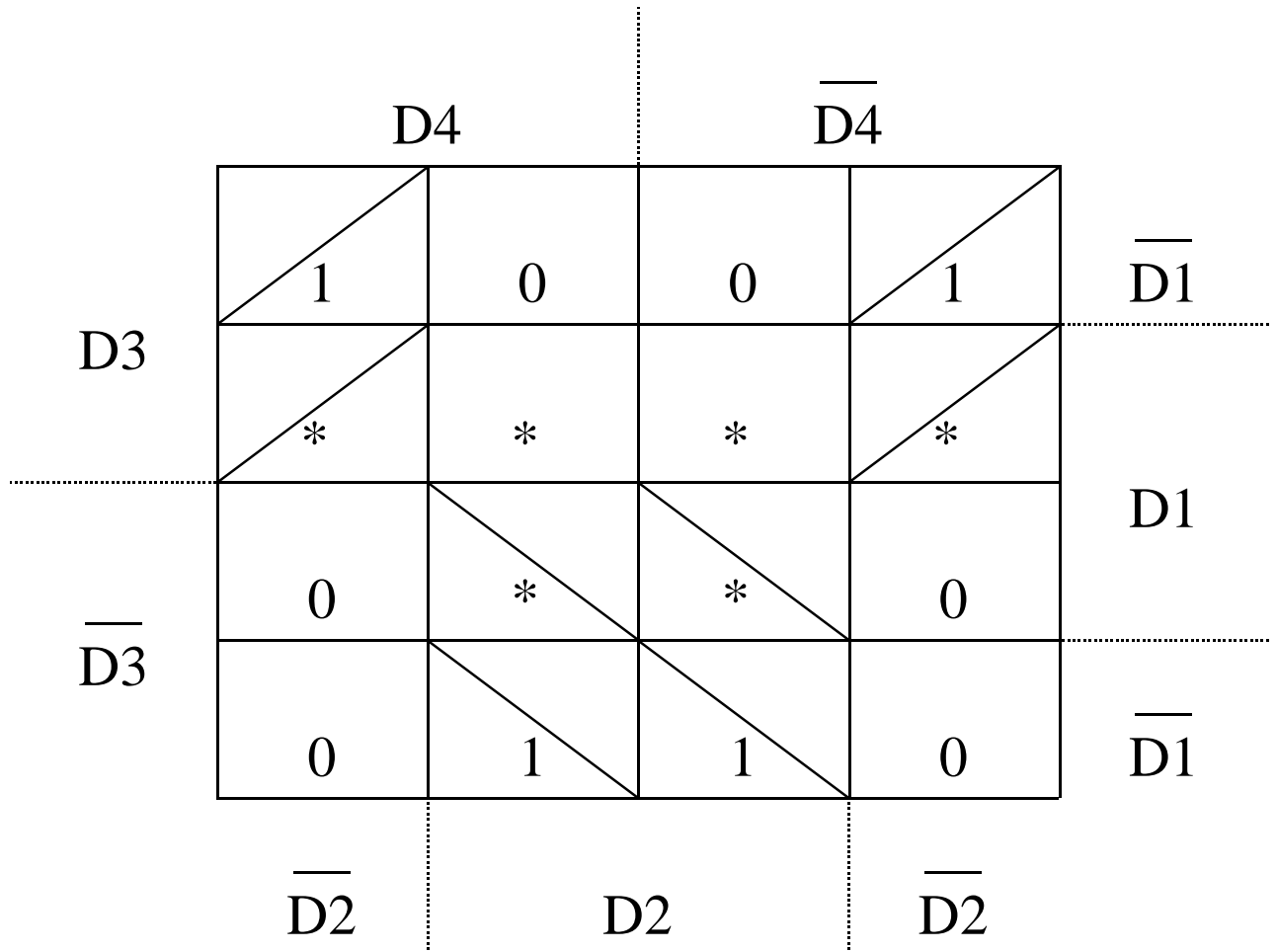
G2:



$G2 = D1 \text{ w } D2$



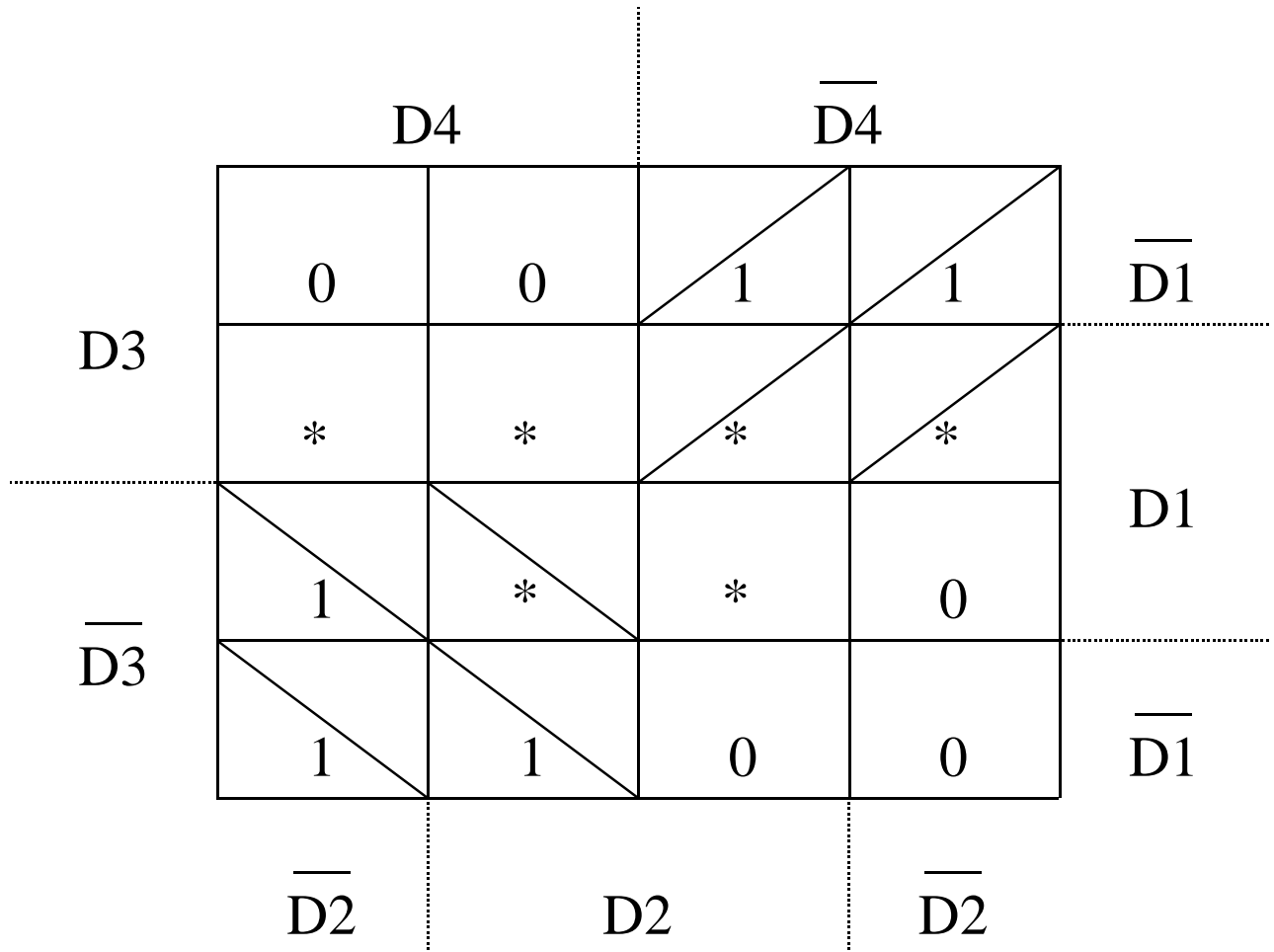
G3:



$$G3 = D2 \overline{D3} \vee \overline{D2} D3 = D2 \vee \overline{D3}$$



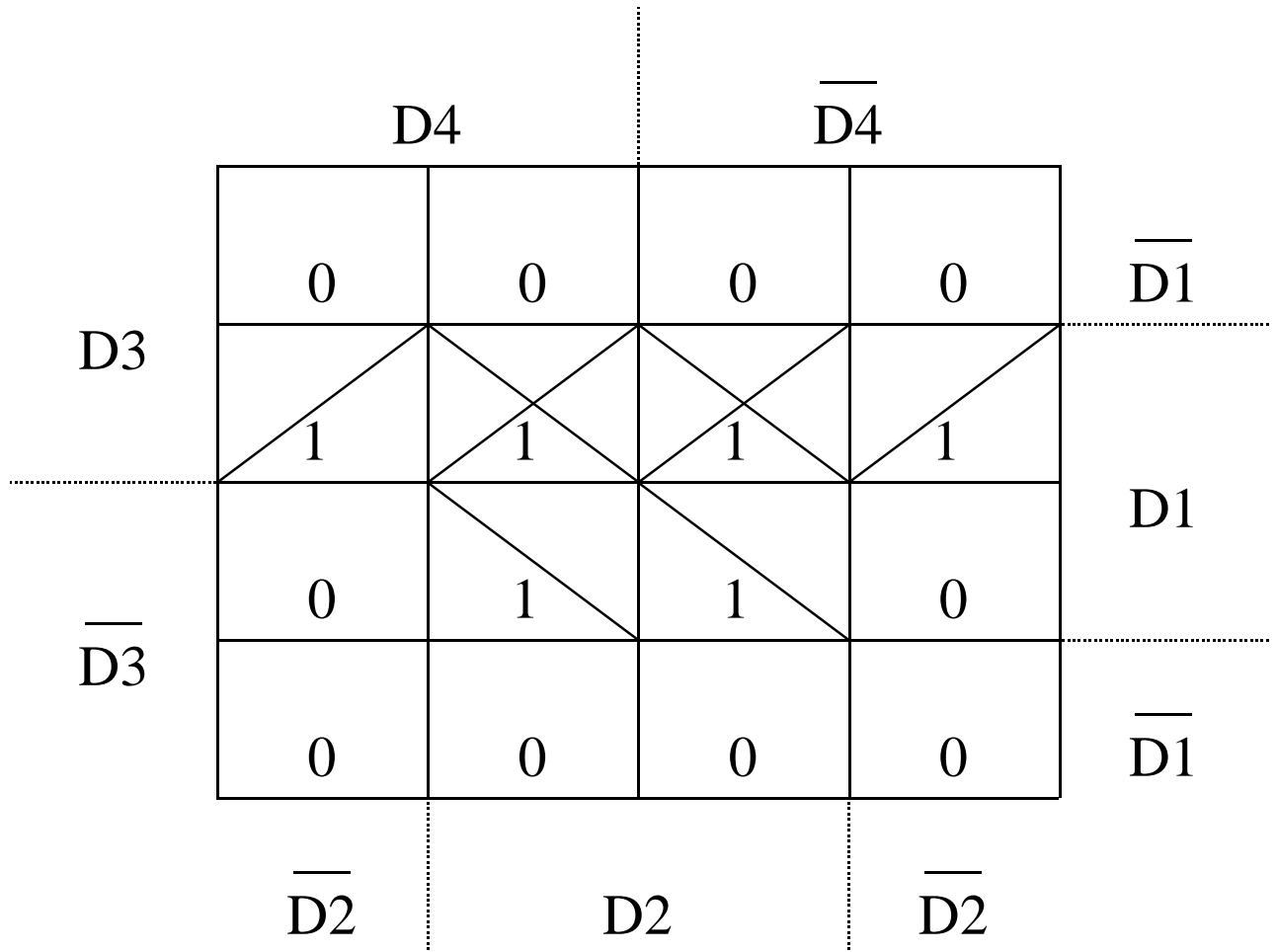
G4:



$$G4 = D3 \overline{D4} \vee \overline{D3} D4 = D3 \oplus D4$$



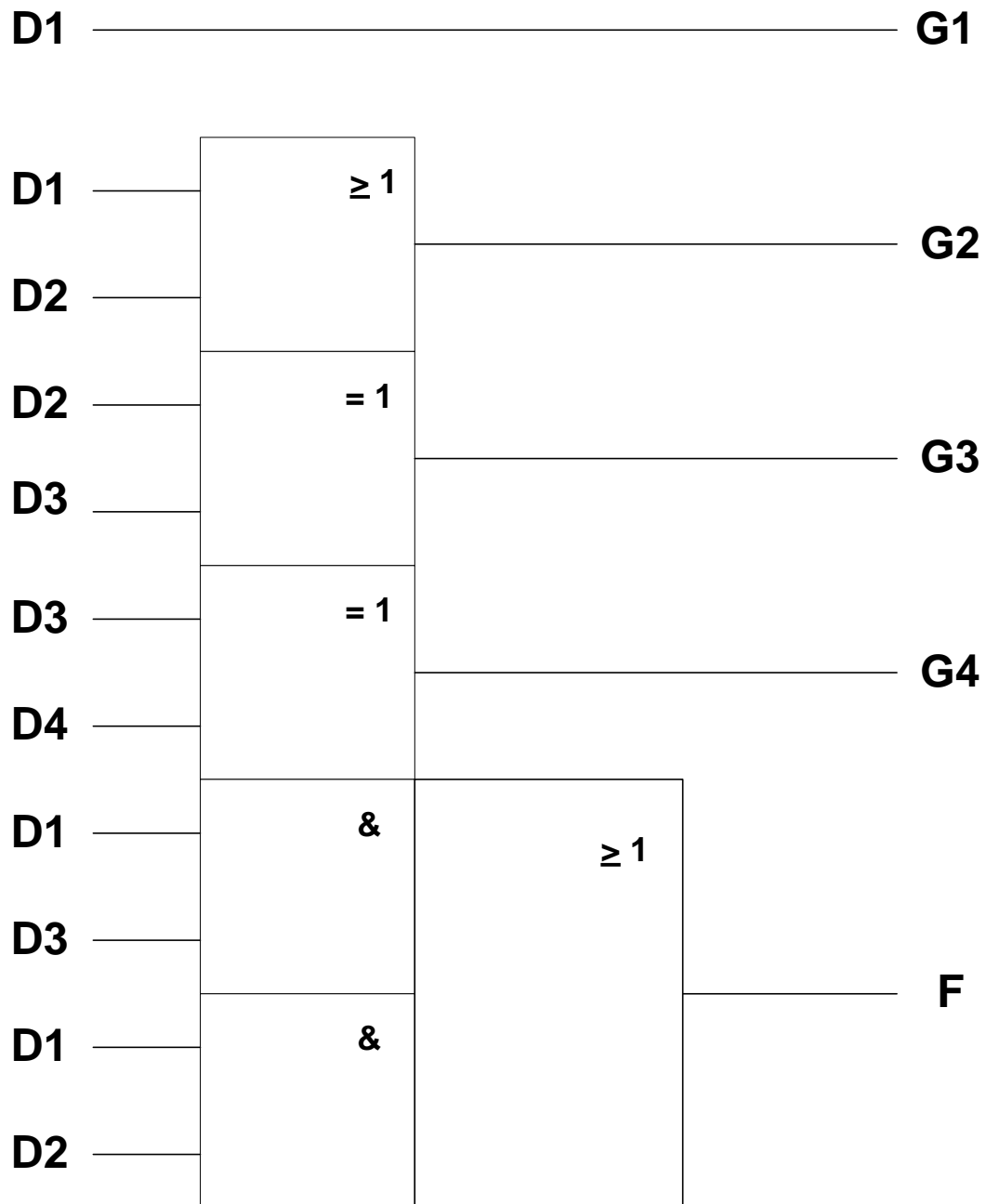
F:



$$F = D1 D3 \vee D1 D2$$

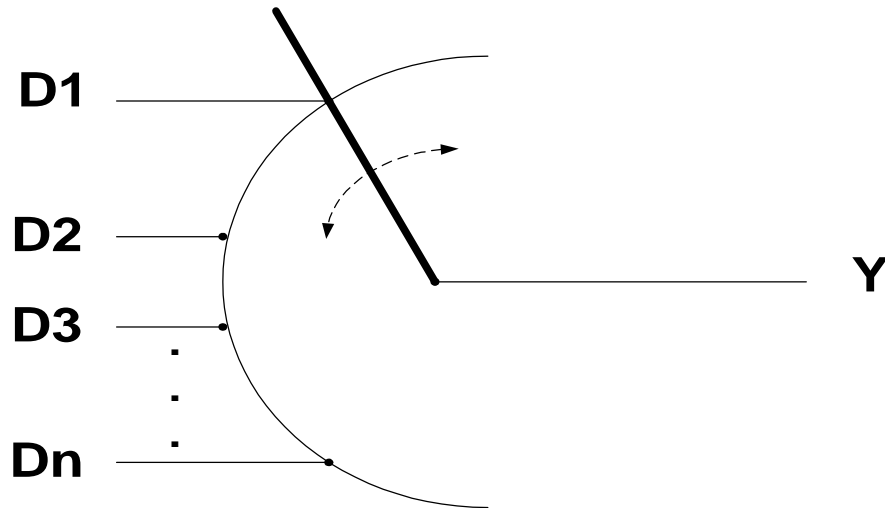


Schaltung des Code-Wandlers:





Multiplexer



Selektion eines Datenkanals; die n Datenkanäle werden über ld n Steuervariablen codiert.



Entwurf eines 4-zu-1-Multiplexers:

~ Anzahl der Steuervariablen: $\lg 4 = 2$

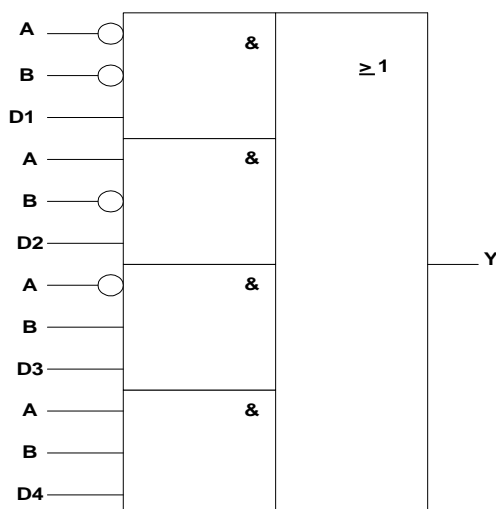
~ Wahrheitstafel

	Steuervariablen		selektierter Datenkanal
Adresse	B	A	Y
0	0	0	D1
1	0	1	D2
2	1	0	D3
3	1	1	D4

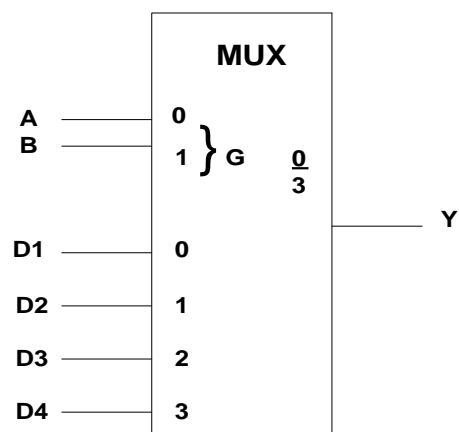
Logische Funktion:

$$Y = \bar{A}\bar{B}D1 \vee A\bar{B}D2 \vee \bar{A}BD3 \vee ABD4$$

Schaltung



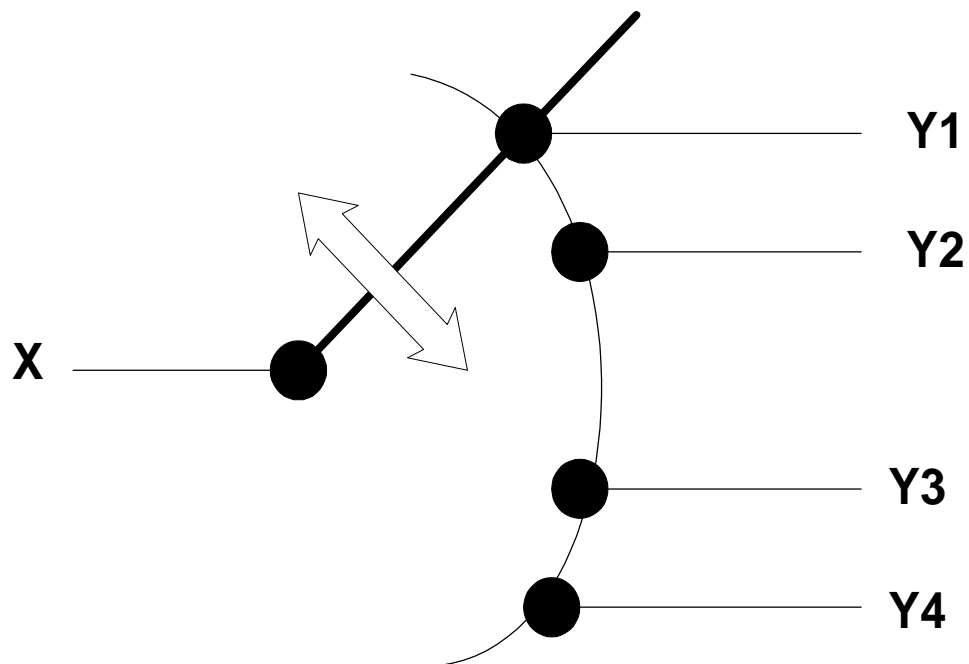
Schaltsymbol





Demultiplexer

Selektion eines Ausgangskanals



Entwurf eines 1-zu-4-Demultiplexers:
4 Ausgänge erfordern 2 Steuervariablen

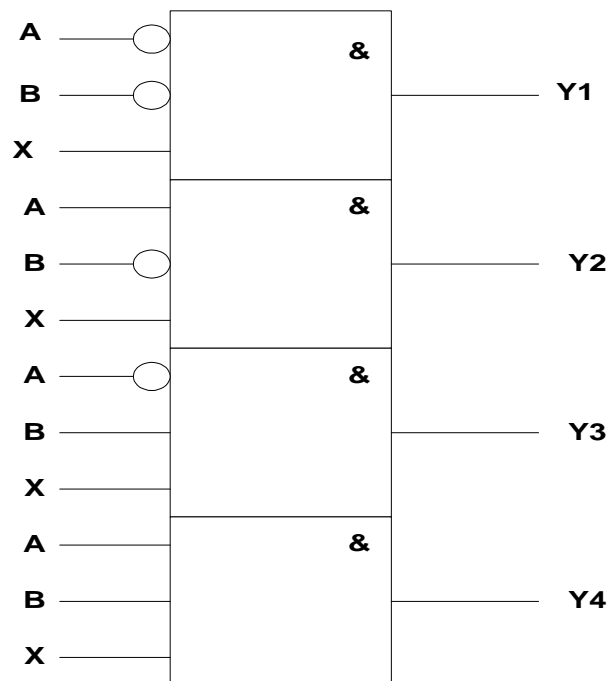
Adresse	B	A	Y1	Y2	Y3	Y4
0	0	0	X	0	0	0
1	0	1	0	X	0	0
2	1	0	0	0	X	0
3	1	1	0	0	0	X



X bezeichnet den Dateneingang

$$Y1 = \bar{A}\bar{B}X, \quad Y2 = A\bar{B}X,$$

$$Y3 = \bar{A}BX, \quad Y4 = ABX$$





Addierer

Basis: 1-Bit-Halbaddierer

Der 1-Bit-Halbaddierer liefert die Summe und den Übertrag (Carry) für die einstellige Addition zweier Dualzahlen.

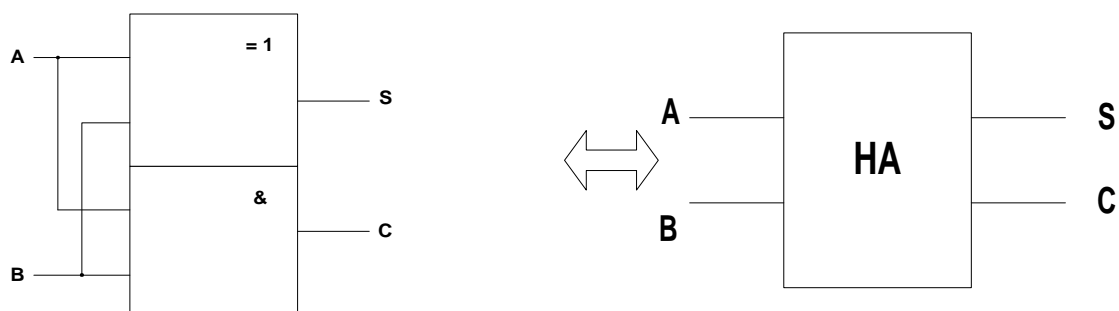
Wahrheitstafel:

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

KNF:

$$S = \bar{A}B \vee A\bar{B} = A \oplus B,$$

$$C = AB$$





Ein Volladdierer ist eine Schaltung, die den bei der Addition höherwertiger Stellen auftretenden Übertrag der vorherigen Stelle erfasst.

1-Bit-Volladdierer:

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$i = 1, 2, 3, \dots$ indiziert die zu addierende Dualstelle;

$i = 1$ korrespondiert zum LSB.



Logische Funktionen für $i = 1$:

$$S_1 = C_0 \bar{A}_1 \bar{B}_1 \vee \bar{C}_0 \bar{A}_1 B_1 \vee C_0 A_1 \bar{B}_1 \vee C_0 A_1 B_1$$

$$= C_0 \vee (\bar{A}_1 \bar{B}_1 \vee A_1 B_1) \vee \bar{C}_0 \vee (\bar{A}_1 \bar{B}_1 \vee A_1 B_1)$$

$$= C_0 \vee (A_1 \oplus B_1) \vee \bar{C}_0 \vee (A_1 \oplus B_1)$$

$$= C_0 \vee \overline{(A_1 \oplus B_1)} \vee \bar{C}_0 \vee (A_1 \oplus B_1)$$

$$\underline{\underline{= C_0 \oplus (A_1 \oplus B_1)}}$$

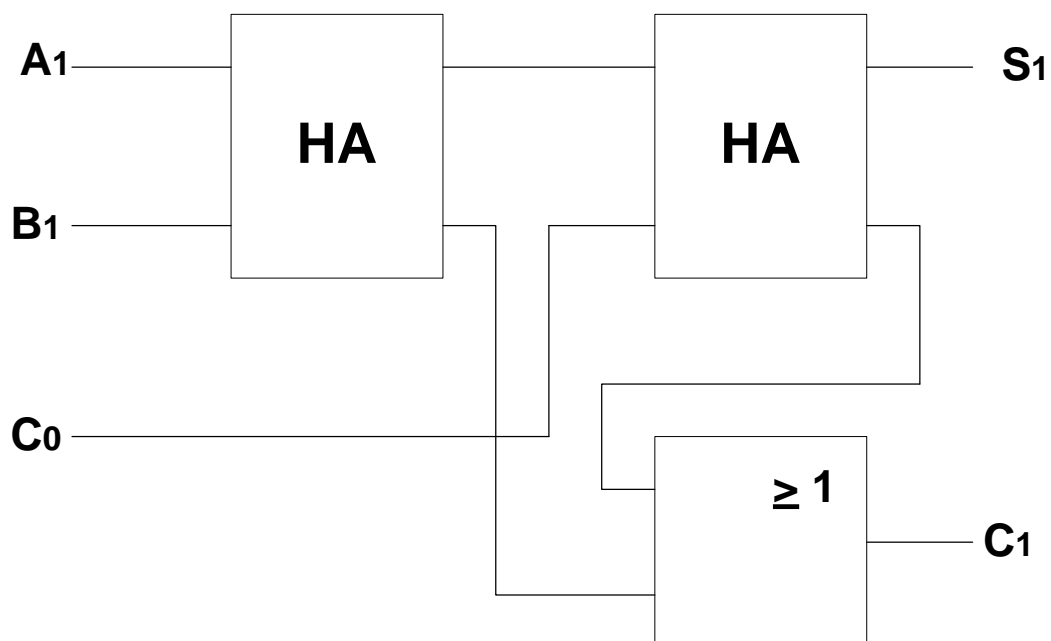


$$C_1 = C_0 \bar{A}_1 B_1 \vee C_0 A_1 \bar{B}_1 \vee \bar{C}_0 A_1 B_1$$

$$= (C_0 \vee (\bar{A}_1 B_1 \vee A_1 \bar{B}_1)) \vee (A_1 B_1 \vee (\bar{C}_0 \vee C_0))$$

$$= (C_0 \vee (A_1 \oplus B_1)) \vee (A_1 B_1)$$

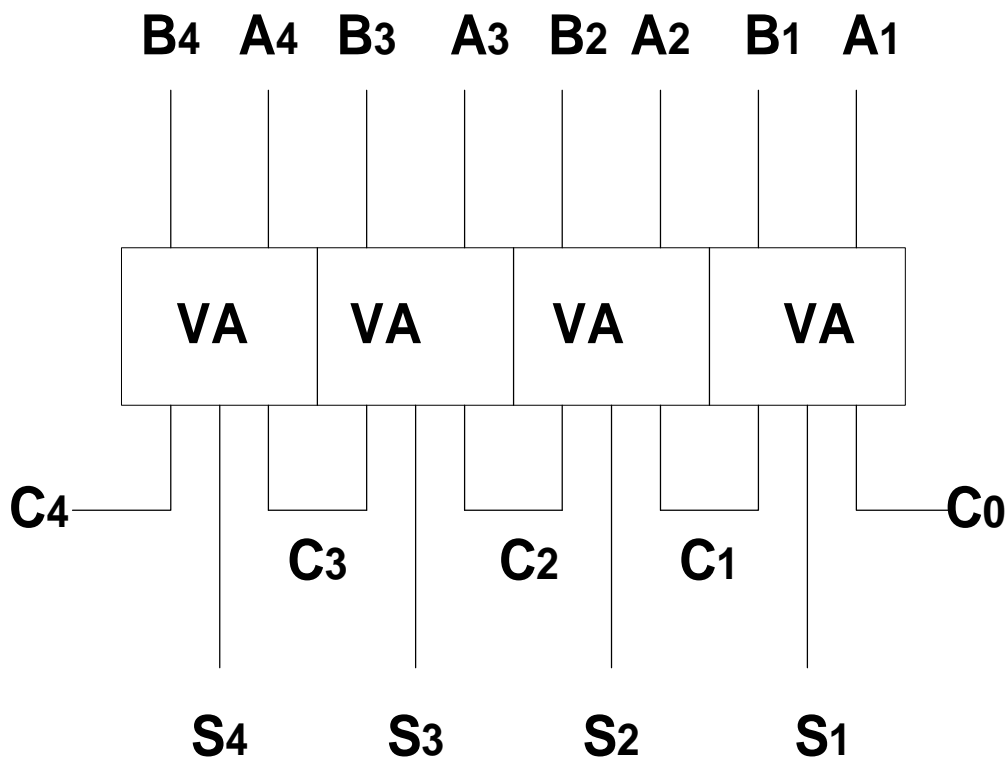
Schaltungstechnisch wird der 1-Bit-Volladdierer mit zwei Halbaddierern und einem ODER-Gatter realisiert:





Die Addition mehrstelliger Dualzahlen ergibt sich über eine serielle Verknüpfung mehrerer Volladdierer.

4-Bit-Volladdierer:



Es treten erhebliche Verzögerungszeiten auf, da der Übertrag der vorherigen Stelle berechnet werden muß.

Addierer, die den Übertrag im voraus ermitteln und damit eine wesentlich geringere Verzögerungszeit liefern, heißen *Carry Look Ahead - Addierer*.



6.2 Schaltwerke

Schaltwerk

(sequentielle Logik, sequentielle Schaltung)

* Funktionseinheit deren Ausgangsvariablen von den Eingangsvariablen und vom inneren Zustand der Einheit abhängt

* der Ausgangswert zu einem bestimmten Zeitpunkt wird durch die Eingangswerte zu diesem und endlich vielen vorangegangenen Zeitpunkten (Takten) festgelegt

* Beispiele

~ Monostabile Kippstufen (Monoflops),

~ Bistabile Kippstufen (Flipflops),

~ Zähler

~



Bistabile Kippstufen (Flipflops)

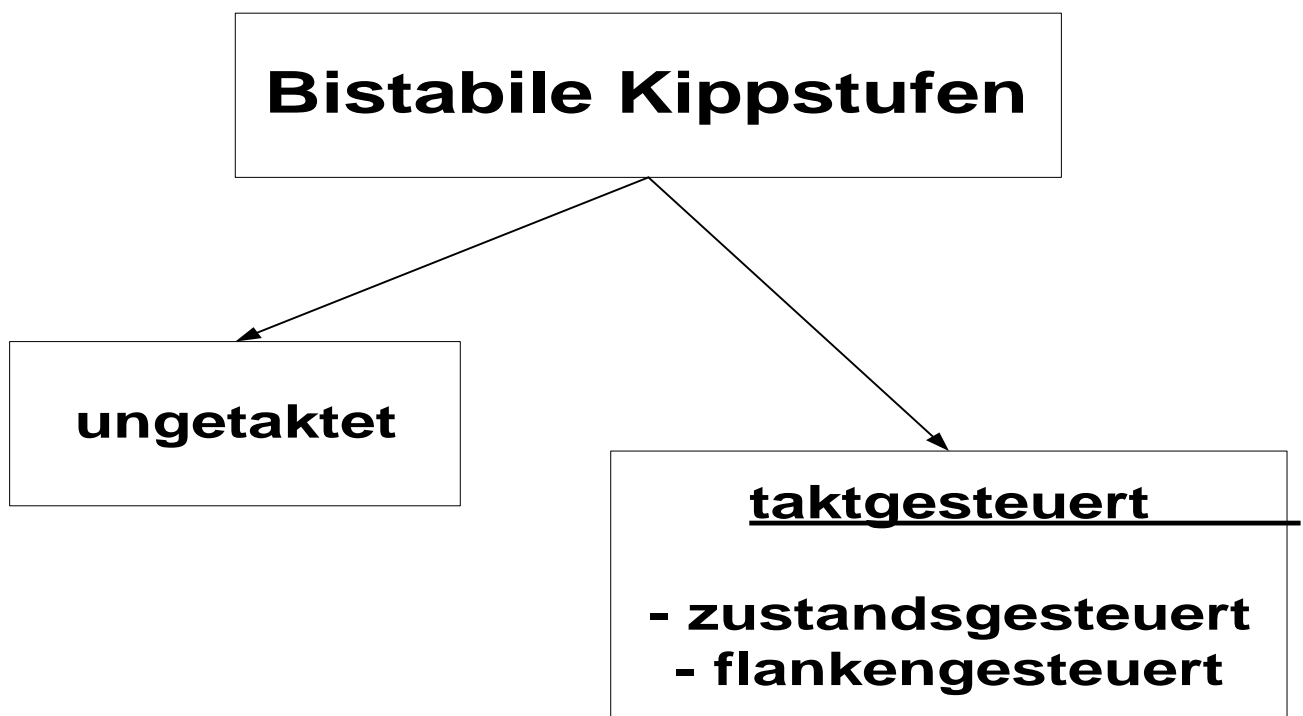
Charakteristisch sind zwei stabile Ausgangszustände;

ein FF (Flipflop) speichert die Informationseinheit
1 Bit:

FF gesetzt: '1' wird gespeichert,

FF rückgesetzt: '0' wird gespeichert.

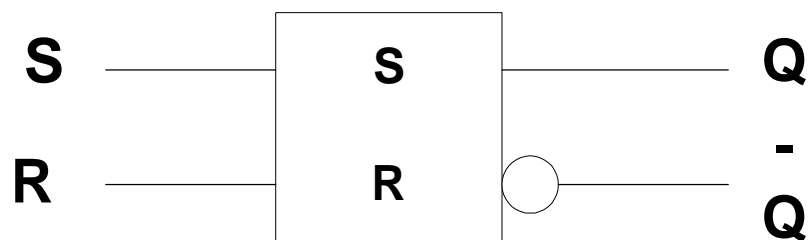
Einteilung der Flipflops





Ungetaktetes RS - FF

(RS - Basis -FF, RS - Latch)



S: Setzeingang (Set), $S = 1 \leadsto$ setzen,

R: Rücksetzeingang (Reset), $S = 0 \leadsto$ löschen,

Q: Ausgang,

\bar{Q} : komplementärer Ausgang.

Für $S = 0$ und $R = 0$ speichert das FF den Logik-Zustand:

RS - FF gesetzt: $Q = 1$, $\bar{Q} = 0$

RS - FF rückgesetzt: $Q = 0$, $\bar{Q} = 1$.



Entwurf des RS - FF

Voraussetzung (Annahme):

Gleichzeitiges Setzen ($S = 1$) und
Rücksetzen ($R = 1$) tritt nicht auf,

$S = 1$ und $R = 1$ ist eine “verbotene” Kombination der Eingangsvariablen!

$S = 1$ und $R = 1$ korrespondiert zu einem redundanten Term, der bei der Minimierung verwendet wird:

Wahrheitstafel

S	R	Q^m	Q^{m+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

Beachte

Unterscheidung zwischen Aus- und Eingangsgrößen:

Zeitpunkt t^m : Q^m (am Eingang),

Zeitpunkt t^{m+1} : Q^{m+1} (am Ausgang).



KV -Diagramm:

	Q^m		$\overline{Q^m}$	
R	0	*	*	0
\overline{R}	1	1	1	0

Übergangsbedingung:

$$Q^{m\%1} = S \vee \overline{R} Q^m$$

Bemerkung:

Wesentlich sind die Rückkopplungen der Ausgänge auf die Eingänge: die auf den Eingang rückgekoppelten Ausgangszustände werden mit den Eingangsvariablen verknüpft und bestimmen die neuen Ausgangszustände, die sich wiederum auf den Eingang auswirken!

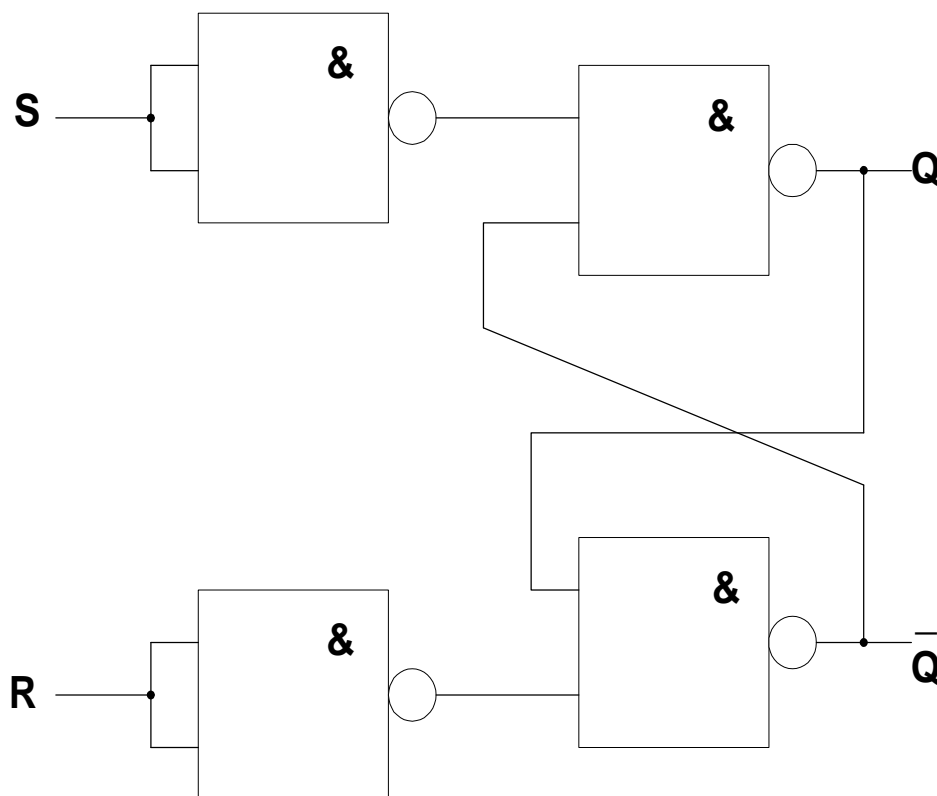


Schaltungstechnische Realisierung:

Shannonsches Gesetz »

* NAND - Technik

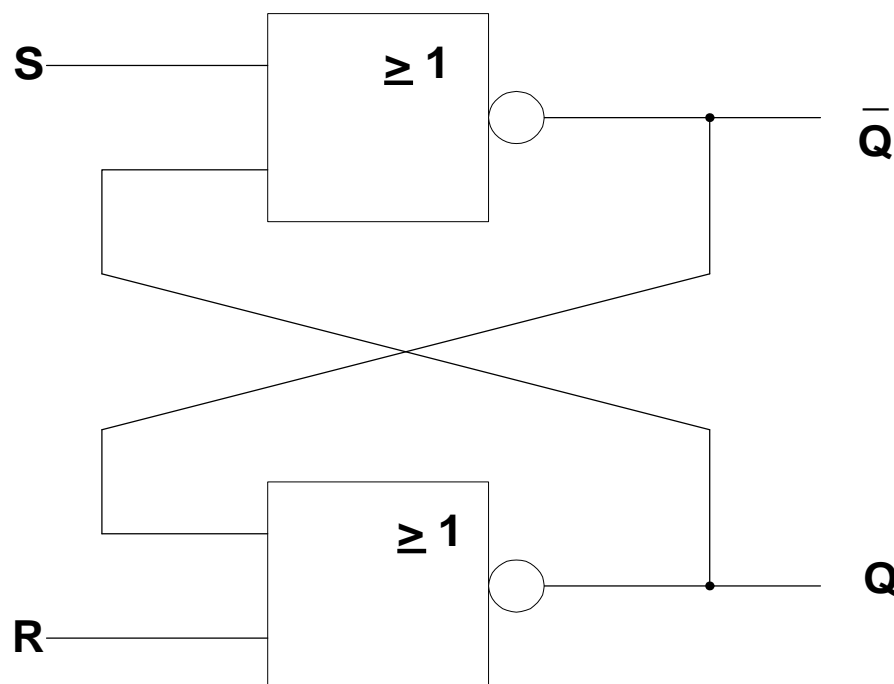
$$Q^{m\%1} = \overline{\overline{\bar{S}} \vee \overline{\bar{R} Q^m}}$$





* NOR - Technik

$$\overline{Q^{m\%1}} \cdot \overline{S \cdot W \cdot R \cdot W \cdot \overline{Q}^m}$$

Beachte:

Für die “verbotene” Eingangskombination $S = 1$ und $R = 1$ ist der resultierende Ausgangszustand von der verwendeten Schaltungstechnik abhängig:

NAND-Technik ($S = R = 1$) $Y \ Q = \overline{Q} = 1$,

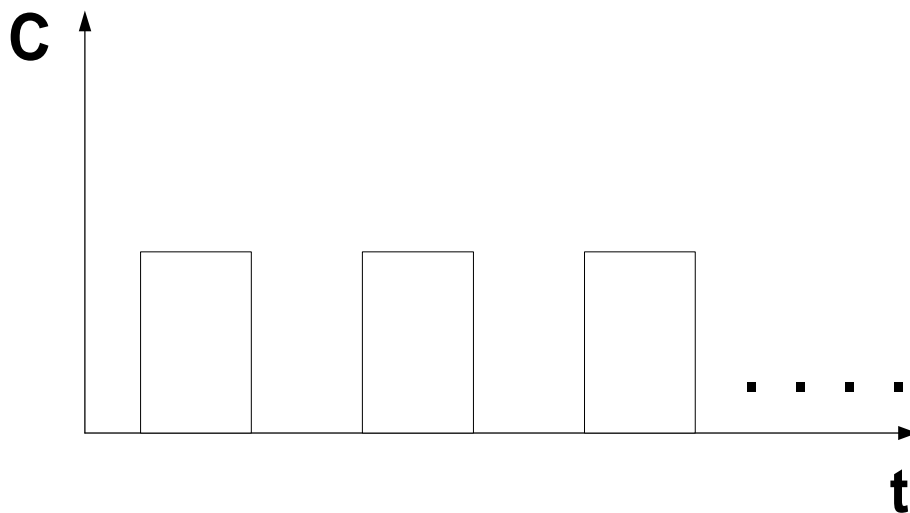
NOR-Technik ($S = R = 1$) $Y \ Q = \overline{Q} = 0$.



Zustandgesteuertes RS - Flipflop (einzustandgesteuertes Flipflop)

Erweiterung des ungetakteten RS - FF um einen Takteingang C

Taktsignal (Clock):



Die Eingangssignale wirken sich nicht direkt auf den Zustand des FF aus, sondern nur in Verbindung mit dem Takt C !

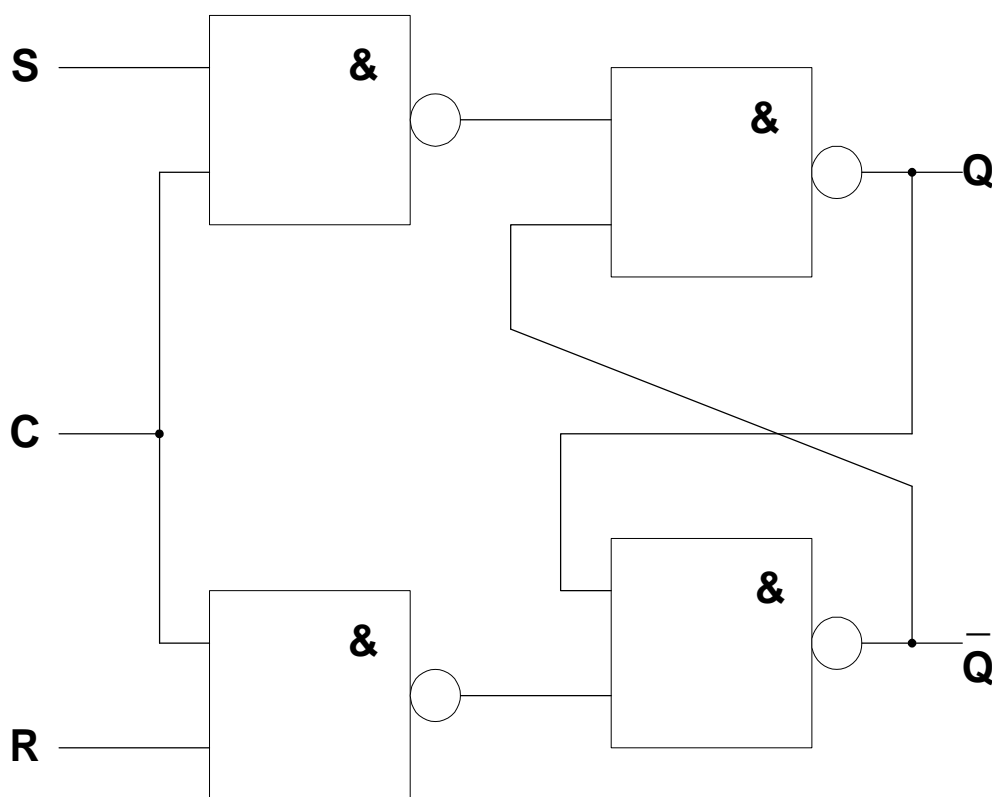
Beide Eingangssignale werden konjunktiv mit dem Taktsignal verknüpft,
Übergangsbedingung:

$$Q^{m+1} = (S \vee C) \wedge (\overline{R \vee C} \vee Q^m)$$

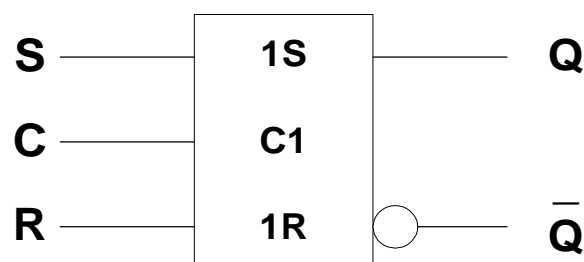


Der Ausgangszustand kann sich nur für $C = 1$ ändern; geht das Taktsignal in den Logik-Zustand 0 über, speichert das Flipflop den gegebenen Ausgangswert.

Zustandsgesteuertes RS - FF in NAND - Technik:

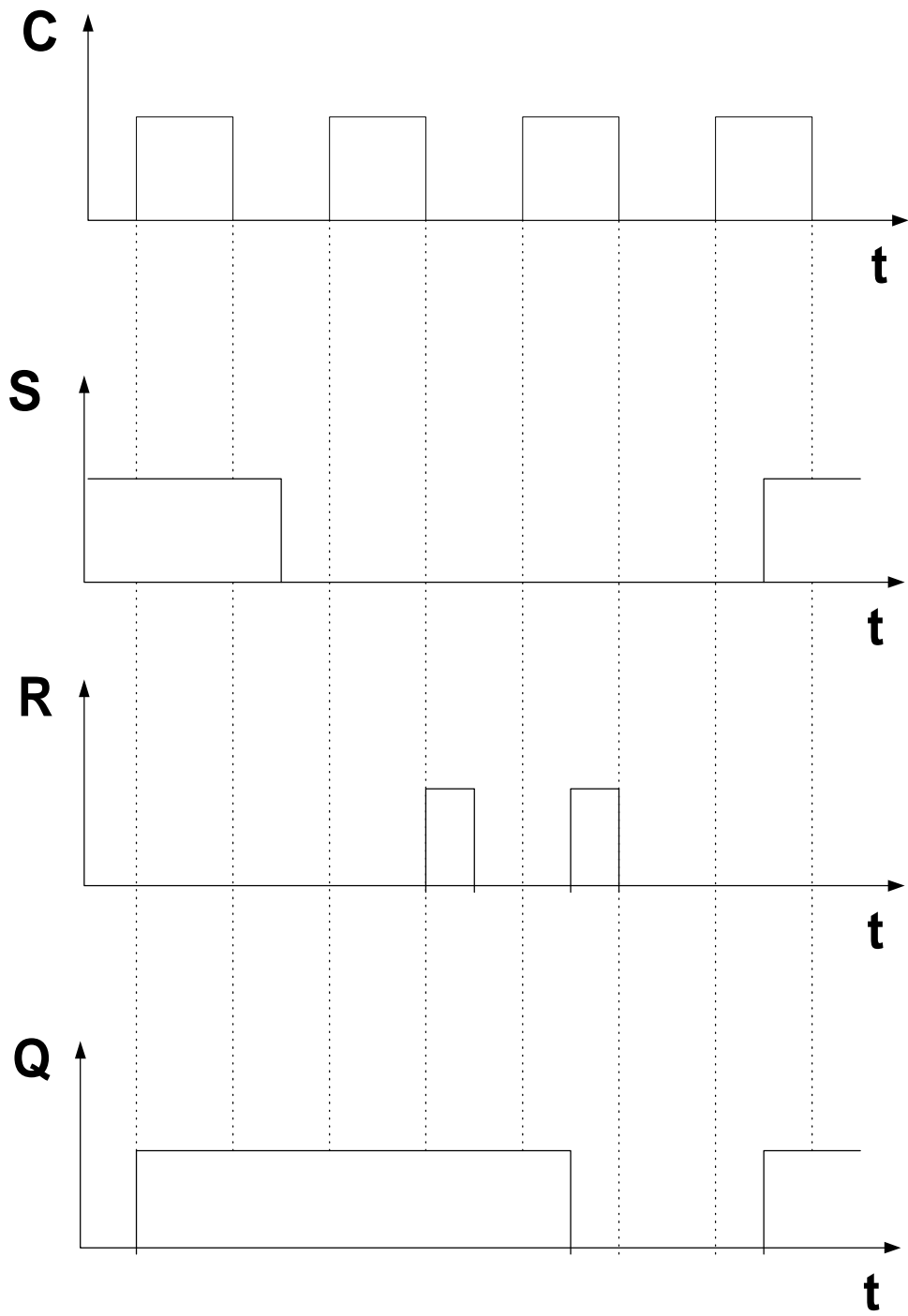


Schaltsymbol:





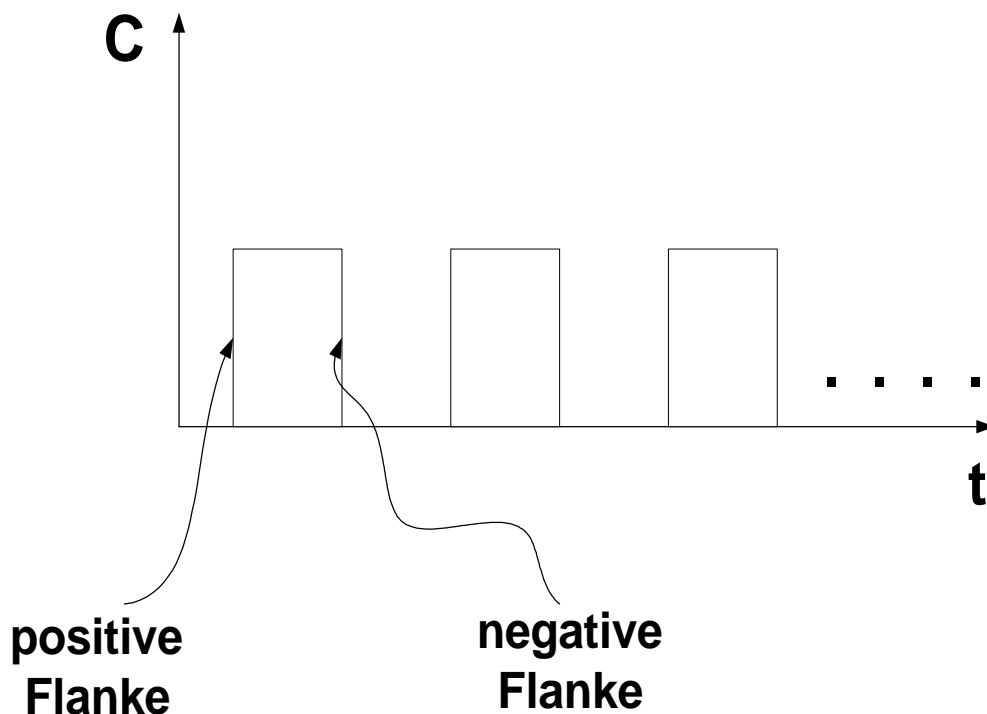
Signalzeitplan des zustandsgesteuerten RS - FF:





Flankengesteuertes RS - Flipflop

Einflankengesteuerte FF sind getaktete FF, die mit der positiven oder negativen Taktflanke gesetzt bzw. rückgesetzt werden; der Ausgangszustand kann sich nur mit der schaltenden Flanke ändern.



Es liegt die Übergangsbedingung des ungetakteten RS -FF vor, jedoch ist es hier die schaltende Flanke des Taktes C, die das FF setzt bzw. zurücksetzt.



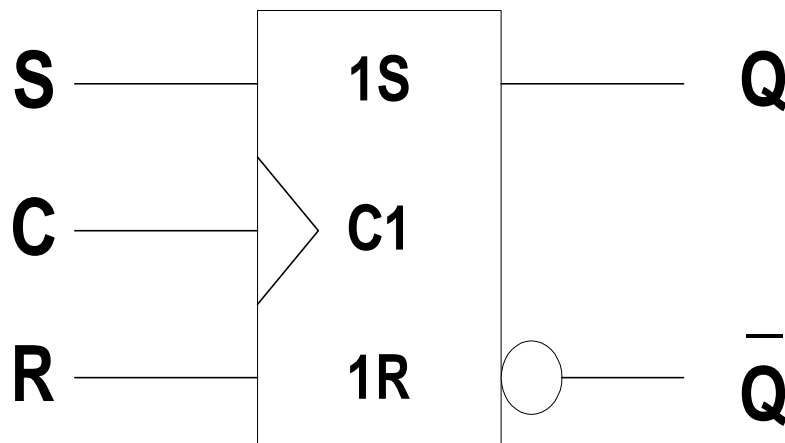
Übergangsbedingung:

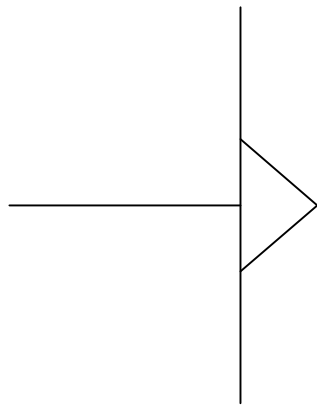
$$Q^{m+1} = S \vee \bar{R} Q^m$$

Pegeltabelle (positiv flankengesteuertes RS - FF):

S	R	C	Q^{m+1}
*	*	L	Q^m
*	*	H	Q^m
L	L	8	Q^m
H	L	8	H
L	H	8	L
H	H	*	*

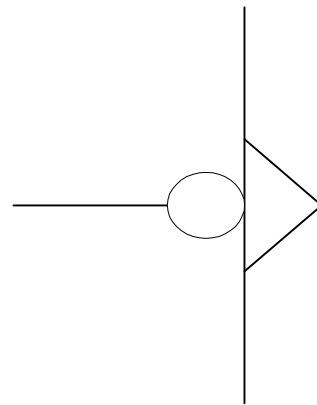
Schaltsymbol:





L -> H

positiv



H -> L

negativ

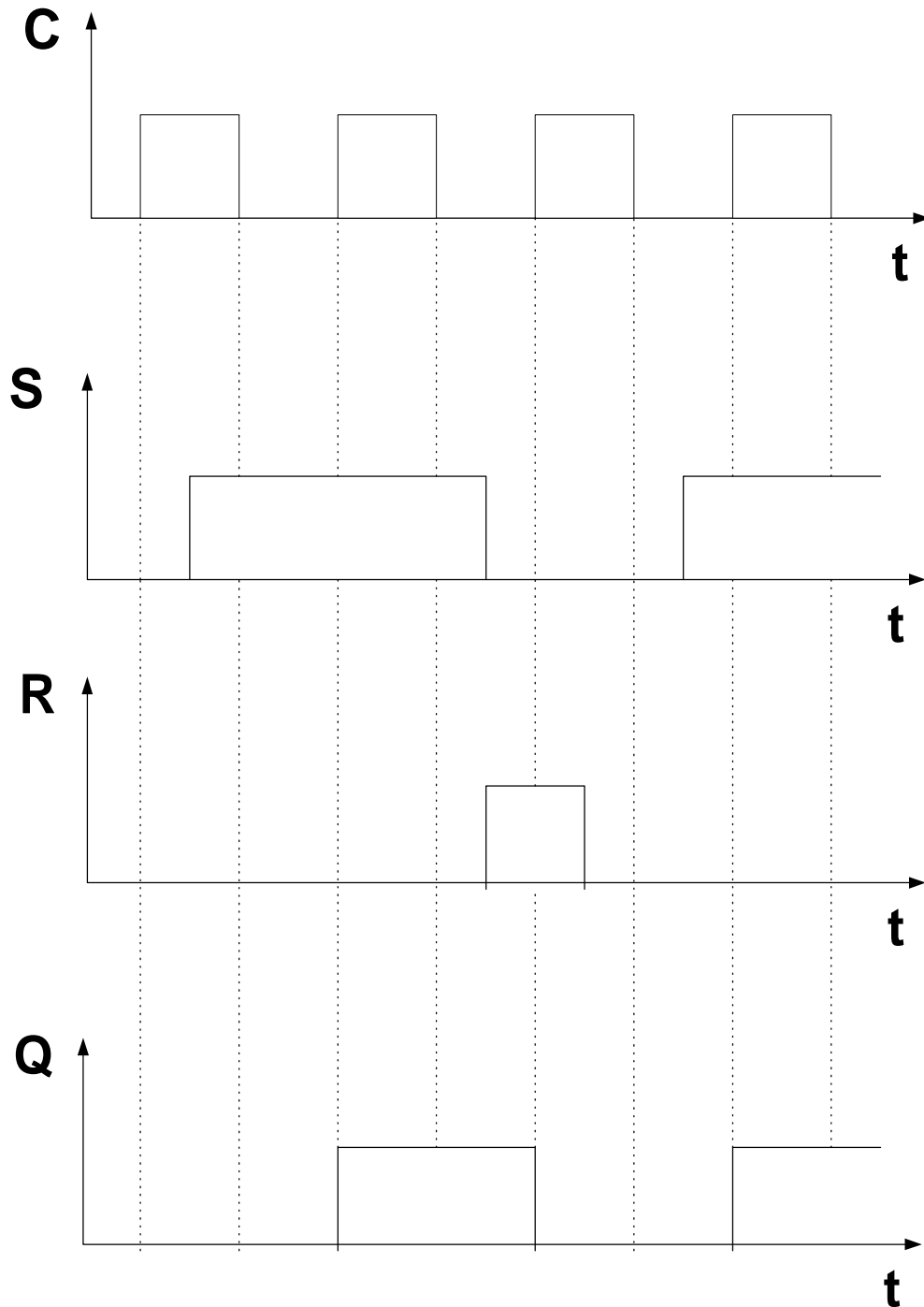
flankengesteuerte Takteingänge

Der Takt benötigt eine endliche Zeit um von L auf H oder umgekehrt zu wechseln.

Technisch erfolgt eine genauere Steuerung, wenn die Signale nur während der positiven oder negativen Flanke abgefragt werden.



Signalzeitplan:





Flankengesteuertes JK - Flipflop

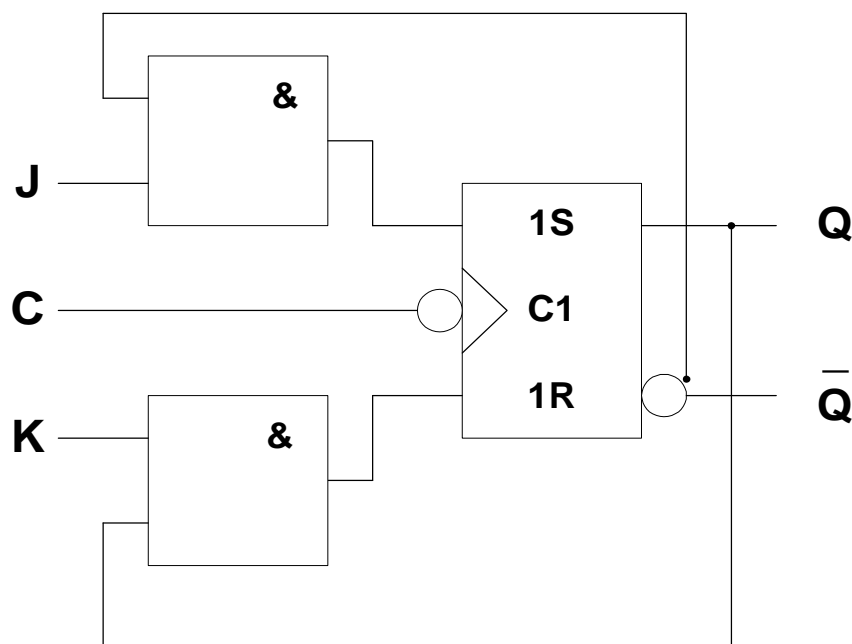
Das Setzen eines Speicherelements, wenn es bereits im Zustand 1 ist, bzw. das Löschen des FF, wenn es zurückgesetzt ist, ist überflüssig!

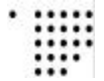
Forderung:

Setzen] $\bar{Q} = 1$,

Löschen] $Q = 1$.

Das flankengesteuerte JK - FF folgt mit zusätzlichen Rückkopplungen und zwei Eingangs-UND-Gatter aus dem flankengesteuerten RS - FF.





Pegeltabelle				Wahrheitstabelle				
J	K	C	Q^{m+1}		J	K	Q^m	Q^{m+1}
*	*	L	Q^m	0	0	0	0	0
*	*	H	Q^m	1	0	0	1	1
L	L	9	Q^m	2	0	1	0	0
L	H	9	L	3	0	1	1	0
H	L	9	H	4	1	0	0	1
H	H	9	$\overline{Q^m}$	5	1	0	1	1
				6	1	1	0	1
				7	1	1	1	0

Übergangsbedingung:

DNF:

$$Q^{m\%1} = \bar{J} \bar{K} Q^m \vee J \bar{K} \overline{Q^m}$$

$$\vee J \bar{K} Q^m \vee J K \overline{Q^m}$$

DMF:

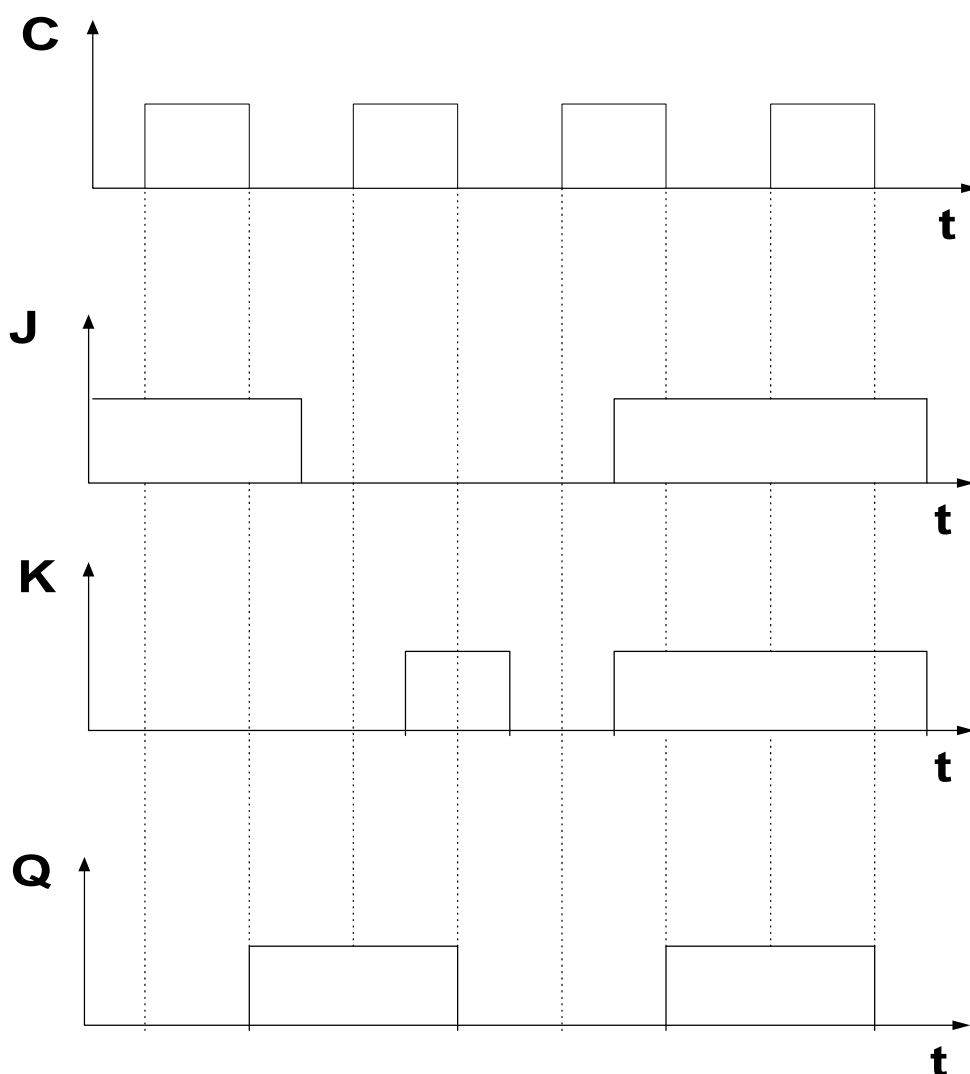
$$Q^{m\%1} = J \overline{Q^m} \vee \bar{K} Q^m$$



Beachte:

Der beim RS - FF auftretende Fall $S = R = 1$ wird hier umgangen; aufgrund der gekreuzten Rückkopplung wird für $J = K = 1$ mit jeder negativen Taktflanke der Wert der Ausgangsvariablen invertiert.

Signalzeitplan (Anfangszustand $Q = 0$):





Master - Slave - Prinzip

In der Praxis beim Aufbau von Zählern und Schieberegistern sind transparente FF ungeeignet;

benötigt werden FF, die den Eingangszustand *zwischenspeichern* und diesen erst an den Ausgang übertragen, wenn die Eingänge bereits wieder *verriegelt* sind.

Lösung: **Kombination zweier Flipflops**

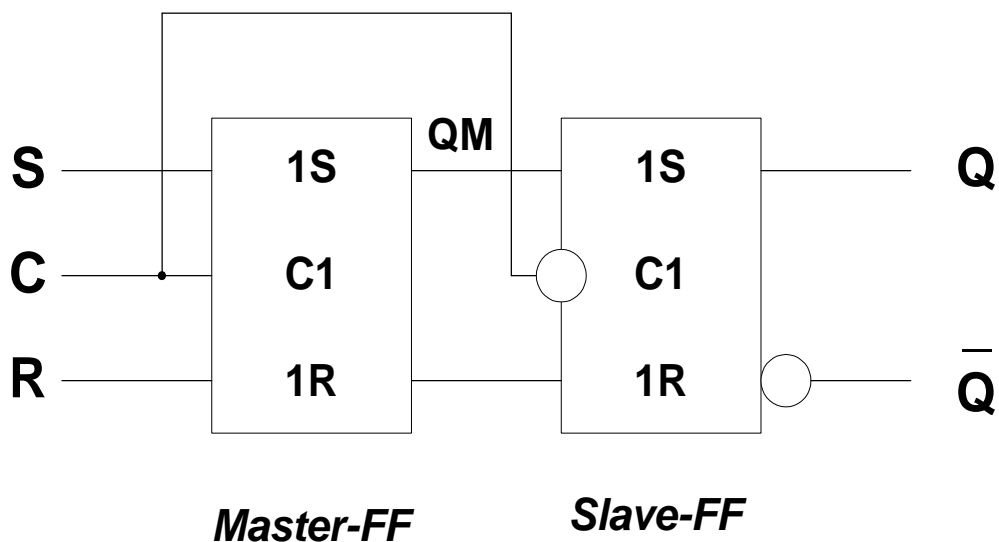
- » *Master - FF* am Eingang
- » *Slave - FF* am Ausgang

Master - Slave - Prinzip:

Zu keinem Zeitpunkt ist der Eingang direkt mit dem Ausgang verbunden!



Zweizustandsgesteuertes RS - Flipflop



Das Master - FF ist für $C = 1$ transparent - die Übernahme in das Eingangs - FF erfolgt wie beim zustandsgesteuerten RS - FF.

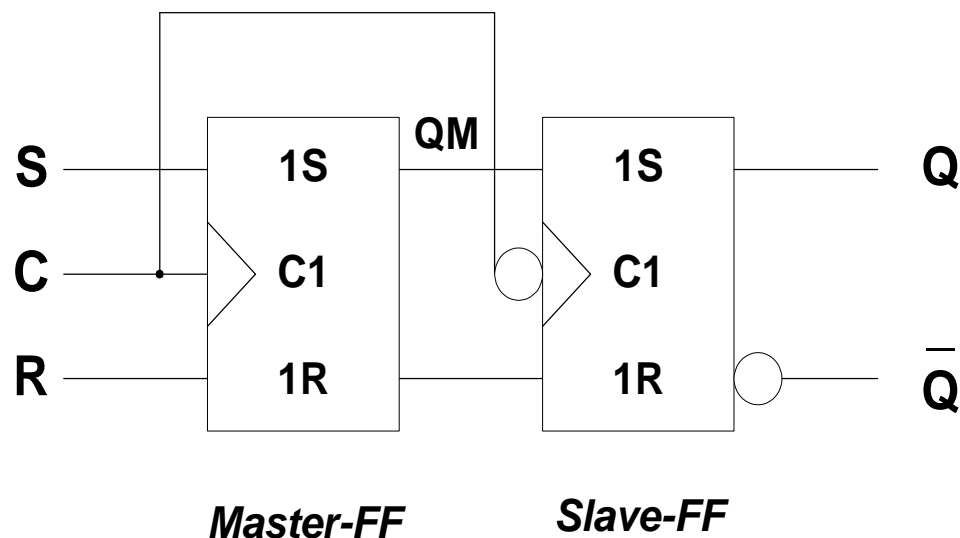
Beim Übergang des Taktes in den Logik-Zustand 0 wird das Slave - FF gesetzt bzw. rückgesetzt.



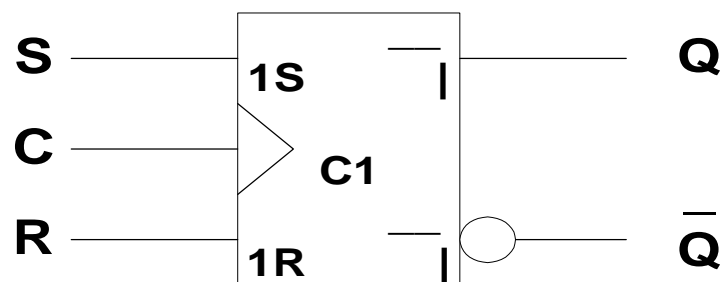
Zweiflankengesteuerte Flipflops

Das Eingangs - FF (Master - FF) übernimmt die Information mit der positiven Taktflanke und gibt diese mit der negativen an das Ausgangs - FF (Slave - FF) weiter.

Zweiflankengesteuertes RS - FF:



Schaltsymbol:



◻ kennzeichnet einen retardierten Ausgang.